

(11)Publication number:

05-243547

(43)Date of publication of application: 21.09.1993

(51)Int.CI.

HO1L 27/146 HO4N 5/335

(21)Application number: 04-044392

(71)Applicant:

HITACHI LTD

(22)Date of filing:

02.03.1992

(72)Inventor:

KANEKO YOSHIYUKI

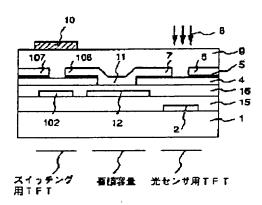
YAMAGUCHI MUNEAKI

**TSUTSUI KEN** 

#### (54) THIN FILM PHOTOSENSOR

#### (57)Abstract:

PURPOSE: To provide a TFT-type thin film photosensor having a large photocurrent which is suitable for a close contact type two dimensional image sensor. CONSTITUTION: The thickness of a gate insulating film 15 of a photosensor TFT is made larger than that of a gate insulating film 16 of a switching TFT and a gate insulating film/amorphous silicon interface in each TFT is formed under the same conditions. Thereby, it is possible to improve a photocurrent and to cope with the demands of small devices with more fine element structure.



#### **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

### Japanese Publication for Unexamined Patent Application No. 243547/1993 (Tokukaihei 05-243547)

#### A. Relevance of the Above-identified Document

This document has relevance to <u>claims 1 through 4</u> of the present application.

#### B. Translation of the Relevant Passages of the Document

[0009]

[MEANS TO SOLVE THE PROBLEM]

In order to solve the foregoing problem, the present invention provides a TFT-type thin film photosensor in which the thickness of a gate insulating film 15 is made larger than that of a gate insulating film 16 of a switching TFT, and a gate insulating film/amorphous silicon interface in each TFT of the TFT-type thin film photosensor and the switching TFT is formed under the same conditions. To realize this arrangement, each gate electrode of the TFT-type thin film photosensor and the switching TFT is formed from a metal layer manufactured through a separate process.

THIS PAGE OF ANK (ISPTO)

150017-CA MIN

ターニングする。ついでCVD住により第1のゲート船 一ト電極2として200nmのCrをスパッタリング法 により堆積し、通常のフォトリソグラフィ往を用いてパ 後、再びスパックリング法により厚さ200mmのCr によりスイッチングTFT用のゲート電極102と蓄積 【0012】ガラス基板1上に、光センサ用TFTのゲ る。図1は本実施例による薄膜光センサの断面図であ 緑原15のSiO2 (300nm) を堆積する。その 【英施例】以下、本発明の英施例を図1により説明す る。この光センサの作製プロセスは次の通りである。 容量の一方の直極12を形成する。

水漿化非晶質シリコン (a-Si:H) をそれぞれ30 Onm, 200nmの厚きに堆積する。さらに同じくプ ラズマCVDはにより、オーミックコントタクトを取る 【0013】 なに、CVD法により第2のゲート絶縁膜 16である選化シリコン4(SiN)、半導体層としての ためのn型aーSi:H5も上記2層に使いて堆積す る。厚さは、40ヵmである。 【0014】プラズマCVD住は、真空容器中にモノシ を加えることによりプラズマを形成し、これにより分解 ホスフィン(PH3) を導入すれば、n型不純物である燐 をドープしたa-Siを形成することができる。これら は、ゲート絶縁機やオーミックコンタクト層となる。模 ランSiH<sub>4</sub> をベースにしたガスを導入し、RFパワー したSiおよび木業を基板上に堆積するものである。こ の場合、aーSiが形成されるが、SiH4とともに登 紫やアンモニアを導入すればSiNが形成される。また 堆積後のa - Si 層はパターニングされる。

[0015] つぎにソース観極6, 106とドレイン戦 り、AIは電極の低低抗化のためである。各々の膜厚は は、この後、パターニングして形成される。なお、パタ n+ a-Si:H層もエッチングする。これは、セル **ーン化されたソースおよびドレイン電極をマスクとして** る。電極材料はCrとA1の二層膜を用いる。Crはa 100 nm, 300 nmである。CrとA1の二層膜 極7,107及び蓄損容量の他方の電極11を形成す -SiとAIの反応を妨止するためのパッファ層であ ファライン工程となる。

【0017】図2は本実施例による光センサ用TFTの 【0016】この後、チャネル保護膜としてプラズマC V DによるS i Nを用いてスイッチング用TFT及び先 センサ用TFTの保護膜 9 を設け、次にスイッチング用 AIの600mmを用いて遮光膜10を形成する。 すな わち、この選光膜によって、明状態や暗状態にかかわら IFTの上方にはソース・ドレイン電極と重量するように ずスイッチング用TFTの良好な動作が可能になる。

小さくなり、特に明電流が抑制されずに1桁程度大きく なっている。一方、暗簞哉の変化はこれに比べて小さ く、明暗比が改善されている。

【0019】この2次元薄膜光センサの駆動は、次の通 一ト始子は、図2に示されるように明暗比の確保できる は、ゲート端子が垂直走査線に接続され、ドレイン端子 が水平走査線に接続されている。またソース端子は、光 Tのソース,ドレイン電極と同時に形成され、無直走査 **貸はスイッチング用TFTのゲート監極と同時に形成さ** れる。各水平走査線は、水平走査回路に接続され、また 5。 光センナ用の川しの路子のうち、ドアイン路子は猫 積容量の一方の端子に接続され、ソース端子は蓄積容量 のもう一方の焔子に接続されて接地されている。またゲ 電圧範囲 (例えばー3V以下) のある電圧Vssに固定 センサ用TFTのドレイン端子に接続されている。木平 走査線及び蓄積容量の一方の端子はスイッチング用TF 【0018】図3は薄膜光センサを2次元に配列したも のの等価回路である。各国寮は、上述のように光センサ 用TFT,スイッチング用TFT及び蓄積容量から成 される。スイッチング用TFTの三つの絡子について 各垂直走堂柳は垂直走査回路に接続されている。

□ まず最初に、垂直走査線G1に接続された全てのス イッチングTFTを所定時間にしだけオン状態にする。 りである。

は、イメージの明暗に対応してその大小が異なる。この 本あたりの観み出し時間は いっぺい妙)方法と、各水平 ② 次に、時間に1の間に各水平走登線D1~Dmを通 じて、上記充電電荷量が読み出される。この充電電荷量 操合の電荷量の能み出し方は、時間に、をm分割して各 水平走査線毎に順次競み出す (すなわち、水平走査線一 **寿査線の読み出しに時間に」を充てて、毎直走査線G1** る。本発明による光センサでは、いずれの方式も可能で に連なる画案の充電電荷量を同時に読み出す方法があ この走査により各画案の蓄積容量が充電される。 Š.

③ 垂直走査線G1に接続された全てのスイッチングT FTをオフ状態にする。

[0020] ④ 次段の垂直走査得G2に接続された全 てのスイッチングTFTを所定時間 ロ だけオン状態に し、上記②と同じ操作を行う。

同様に上記①~①を、垂直走査線Gnまで行い、説 み出しが完了する。画面―牧あたりの読み出し時間は n ×いむむも

[0021] さて、光センサによる画像説み取りについ る。この放電電荷量は、光センサに入射する光の量によ て、例えば、無直走査線G1に接続された回繋に着目し て説明する。①でスイッチングTFTをオフ状態にした 後、次にオン状態になるまでの (n-1) × t.1 秒間に 光センサ用TFTが蓄積容量に保持された電荷を放電す って快まる。これが画像就み取り動作である。

8

が図5に示したものの2倍程度厚いので、ゲート電界が

ドレイン 種圧を10Vに固定した場合の電流 一種圧物性

を示したものである。この光センサは、ゲート絶縁膜導

[0022] 以上説明してきたように、本発明は蓄積容 せることが可能な構造である。この意味で、本発明は上 比英施例に限定されない。例えば、ゲート電極はCrに **れらの組合せであってもよい。またTFTの半導体材料 量を用いたTFT型光センサにおいて、明電荷を向上さ** 限らずAIやTaであってもよいし、ゲート絶縁模はS i NやS i O2 に限らずA 1203やT a 205あるいはこ は、非晶質シリコンに限ちず多枯晶シリコンであっても

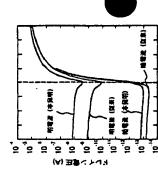
[0023]

を厚くすることにより、負のゲート電界がチャネルを流 スイッチング用TFTのゲート電極を別の工程で形成す はない。従って、囲象における紫子形状の小型化。 画素 【発明の効果】本発明によれば、蓄積容量を用いたTF **れる光電成を抑える効果を低減し、従来よりも大きな明** 胤戒を実現できる。またその際、光センサ用のTFTと るのでスイッチング用TFTのゲート絶縁膜厚は従来と 同程度に保たれ、スイッチング速度の低下は生じること F 型光センサにおいて光センサ用FFFのゲート絶縁模庫 の高精細化を実現することができる。

(E

[図版の簡単な説明]

2



20 -15 -10

7-18E (V)

First Gate Insulating Film Second Gate Insulating Film ht Sensor Switching Accumulation Capacitor \_ 2

102

3

【図1】本発明の実施例の説明図。

[図2] 本発明による光センサ用TFTの電筋一電圧棒. 6.

[図3] 本発明による2次元薄膜光センサの等価回路

|図4| 従来技術によるTFT型光センサの断面図。

【図5】従来技術によるTFT型光センサの電成一電圧

【図6】従来技術による薄膜光センサの断面傳造図。 称在区。

【図7】図6の毎毎回路図。

[図9] ホトダイオードを用いた従来技術によるセンサ 【図8】従来技術による簡易型薄膜光センサの断面図。

[符号の説明]

の説明図。

**ス電極、7, 107…ドレイン電極、8…入射光、9…** 保護模、10…透光模、11,12…蓄積容量用電極、 15…第1のゲート絶縁膜、16…第2のゲート絶縁 シリコン、5 … n 型非晶質シリコン、6 , 106 º 1…ガラス基板、2, 102…ゲート電極、4…

[図2]

7 図

THIS PAGE BLANK (USPTO)

ধ 罪 华 噩 **₹** (19)日本国校許庁 (JP)

(11)特許出願公開番号 (Y) 特開平5-243547

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.		報別別母	片内整理番号	1 H	技術表示簡
H 0 4 N 6/335	21/146 5/335	E	4228-5C		
			7210-4M	H01L 21/14	U

審査請求 非請求 請求項の数3(全 6 頁)

(22) 出版目				
平成 4年(1992) 3月2日 (72) 堯明者 (72) 堯明者 (74) 代理人	(21)出版番号	<b>特類平4—44392</b>	(71) 北個人	000005108
平成 4 年(1992) 3 月 2 日 (72) 堯明者 (72) 堯明者 (74) 代理人				株式会社日立製作所
	(22)出版日	平成4年(1992)3月2日		東京都千代田区神田駿河台四丁目 6番4
東京都協分寺市東恋ケ程   TE 株式会社日立製作所中央研犯 (72)発明者 IJI 宗明 東京都国分寺市東恋ケ経   TE 株式会社日立製作所中央研究 (72)発明者 bb  #			(72) 免明者	金子 好之
株式会社日立製作所中央研究 (72)発明者 11/17 宗明 東京都国分寺市東恋子程 1 下 株式会社日立製作所中央研究 (72)発明者 bb 并 建 東京都国分寺市東町 74)代理人 弁理士 小川 勝男				東京都因分寺市東恋ケ程1丁目280番地
(72)発明者 山口 宗明 東京都国分寺市東恋ケ屋   丁屋 株式会社日立製作所中央研究 (72)発明者 ち				株式会社日立製作所中央研究所內
東京都国分寺市東恋子程175 株式会社日立製作所中央研究 (72)発明者 bb # 建 東京都国分寺市東恋子程175 株式会社日立製作所中央研究 (74)代理人 弁理士 小川 勝男			(72)条明者	山口 宗明
株式会社日立製作所中央研究 (72)発明者 簡并 建 東京都国分寺市東郡 / 東京都国分寺市東郡 / 17 (74)代理人 弁理士 小川 勝男				東京都国分寺市東恋ケ程1丁目280番地
(72)発明者 簡井 鎌 東京都国分寺市東窓ケ路 I Ti 株式会社日立製作所中央研究 (74)代理人 弁理士 小川 勝男				株式会社日立製作所中央研究所內
東京都因分寺市東窓ヶ路1T6 株式会社日立製作所中央研究。 (74)代理人 弁理士 小川 勝男			(72)発明者	<b>西井 鎌</b>
株式会社日立製作所中央研究 (74)代理人 弁理士 小川 駿男				東京都園分寺市東恋ケ匯1丁目280番地
(74)代理人 弁理士 小川 勝男				株式会社日立製作所中央研究所内
			(74)代理人	弁理士 小川 勝男

# (54)【発明の名称】 満段光センサ

×

[目的] 密着型二次元イメージセンサに好適な、明電流 の大きいTFT型海膜光センサを堪供する。

スイッチング用TFTのゲート絶縁膜16の厚さより大 きくし、なおかつそれぞれのTFTにおけるゲート絶縁 【構成】光センサ用TFTのゲート絶縁膜15の厚さを 職/非晶質シリコン界面を同一条件で形成した。

【効果】明虹流が改善され、漢子の小型化,高精細化に 対応することができる。

光センサ用TFT 102 ≊

15:第1のゲート絶縁限 16:第2のゲート絶縁膜

厚が前記スイッチング用薄膜トランジスタのゲート絶縁 【酵水項1】少なくとも光センサ用薄膜トランジスタと スイッチング用薄膜トランジスタと前記光センサ用薄膜 タに接続された容量性の負荷からなる薄膜光センサであ **って、前記光センサ用薄膜トランジスタのゲート絶縁膜** トランジスタおよび前記スイッチング用薄膜トランジス 膜厚よりも大きいことを特徴とする薄膜光センサ。

「翻水項2」翻水項1において、前記スイッチング用薄 模トランジスタ,前記光センサ用薄膜トランジスタ及び 容量性の負荷の組を単位として、それらが複数組マトリ クス配列され、前記スイッチング用薄膜トランジスタの ゲートが行方向に共通接続され、ドレインが列方向に共 **通接減されてマトリクスアレイを構成する薄膜光セン** 

ング用薄膜トランジスタ及び光センサ用薄膜トランジス 【請求項3】請求項1または2において、前記スイッチ タの半導体層が非晶質シリコンからなる薄膜光センサ。 [発明の詳細な説明]

**象,文字入力、あるいは、ファクシミリへの画像,文字** 情報入力に用いられる二次元画像入力装置に関するもの 入力、あるいは、その他の画像情報を扱うものへの画像 |産業上の利用分野||本発明は、コンピュータへの画 [1000]

力装置用に、薄膜トランジスタ(以下TFT)を用いた 【従来の技術】ファクシミリの使用、あるいは、コンピ ュータに対する画像の入力など、画像入力装置を使用す ることが広く普及してきている。近年、これらの画像入 薄膜光センサが開発されている。 [0002]

【0003】この荷膜光センサの基本構造は、特開昭58 うに、液晶ディスプレイの駆動に用いられる薄膜トラン ジスタにおいてソース電極6及びドレイン電極7側から 光照射時(明状態)と暗状態とでは、特に、TFTのゲ ートオフ時の僅流レベルに変化が著しいので、このゲー ト草圧条件で用いるのが望ましい。また、この光センサ -18978 号公報に記載されている。これは図4に示すよ す。この光センサ用TFTの特性の一例を図5に示す。 せ、入射光量に応じたソース,ドレイン間電流を取出 は、非晶質シリコンを用いるので大面積化に好適であ 光を照射して非晶質シリコン (a - Si) 4に吸収さ

FTの他にスイッチング用TFT及び電荷蓄積用の容量 (蓄積容量) が設けられている。これを等価回路で示し [0004] さらに、実開平2-8055 号公報には、この 型の光センサを二次元アレイ化するのに適した基本構造 が開示されている。その概要を図6,図7に示す。図6 は断面構造である。上記と同様の薄膜光センサ用途のT たのが図りである。

[0005] ① まずスイッチングトランジスタをする として醤精容量を光配する。

效度に応じて充電電荷が放撃される。これは光センサの ② 太にスイッチングトランジスタをオフした後、光の ③ 所定の時間の後、再ぴスイッチングトランジスタを ソース、ドレイン語に光亀投が流れるためである。

オンして蓄積容量を充電する。この時の充電電荷を取り 出して、光の強度を検出する。

この駆動では、①と③の光電動作を兼ねさせることも可 能である。

トダイオードを用いる場合と比べると、この利点の重要 その様の堆積頗がスイッチング用TFTのそれと監合し 【0006】なお、上記公報では、図6の構造をさらに 商易化した図8のような構造し開示されている。これら 性は明白である。すなわち、ホトダイオードの場合は、 の構成では、光センサ用途のTFT,スイッチ である。例えば、図9に示すように、光セン FT及び蓄積容盘を同一プロセスで形成でき ないので、作製手順が非常に複雑になる。

【0007】上述のように、従来技術によるTFTを用 いた薄膜光センサは大面積にわたる2次元化が容易であ り、また、従来の液晶ディスプレイ用TFTの作製方法 をそのまま流用できるので、きわめて有望であるという ことができる。

92

[8000]

ンサの特性には、改善すべき余地が残っている。すなわ ち、図5に示したような光センサ用TFTの電流一電圧 センサの特性として望ましくない。したがって、この明 [発明が解決しようとする課題] しかし、上記禪膜光セ 特性において、明電積が低く抑えられてしまうことが、 8

[6000]

**電荷を大きくすることがこの型の光センサの煤餡であっ** 

た。また、トランジスタのチャネル領域であるゲート絶 緑膜と非晶質シリコンの界面を、光センサ用のTFTと めに特に光センサ用のTFTとスイッチング用TFTの ゲート電極を別の工程で形成された金属層を用いて形成 スイッチング用TFTLで岡一条件で形成した。 そのた 【課題を解決するための手段】上記課題を解決 セスイッチング用TFTのゲート絶縁膜厚よ<mark></mark> に、本発明では、光センサ用のTFTのゲー

【作用】光センサ用TFTのゲート絶縁順厚を厚くする ことにより、負のゲート電界がティネルを流れる光電点 を抑える効果を低減し、従来よりも大きな明電流を実現 ッチング用TFTのゲート絶縁膜厚は従来と同程度に保 できる。またその際、光センサ用のTFTとスイッチン グ用TFTのゲート電極を別の工程で形成するのでスイ たれ、スイッチング速度の低下は生じることはない。 101001-1 8

3

# [0011]

9

ターコングする。 OいでCVD法により第1のメート統 により堆積し、通常のフォトリングラフィ往を用いてパ ート製稿2として200 nmのCrをスパッタリング法 る。この光センサの作製プロセスは吹の通りである。 る。図1は本実施例による薄膜光センサの断面図であ 【0012】ガラス基板1上に、光センサ用TFTのケ 【真稿例】以下、本発明の実施例を図1により説明す

容量の一方の電極12を形成する。 によりスイッチングTFT用のゲート電極102と蓄積 後、再ぴスパッタリング法により厚さ200nmのCr 緑原15の5iO2 (300nm) を堆積する。その

ラズマCVD法により、オーミックコントタクトを取る ためのn型a-Si:H5も上記2層に続いて堆積す Onm, 200mmの厚さに堆積する。さらに同じくプ る。厚さは、40mmである。 【0013】 水に、CVD法により第2のゲート絶縁原 6 である強化シリコン 4 (SiN)、半導体層としての |東化非晶質シリコン(n - S i :H) をそれぞれ30

の場合、aーSiが形成されるが、SiH4とともに窒 堆積後のa-Si層はパターコングされる。 素やアンモニアを導入すればSiNが形成される。また したSiおよび水素を基板上に堆積するものである。こ ランSiH4 をベースにしたガスを導入し、RFパワー は、ゲート絶縁顔やオーミックロンタクト層となる。原 ホスフィン(PH3) を導入すれば、n型不純物である燐 を加えることによりプラズマを形成し、これにより分解 をドープしたa-Siを形成することができる。これら 【0014】プラズマCVD法は、真空容器中にモノシ

る。電極材料はCrとAlの二層膜を用いる。Crita り、Alは栽植の抵抗抗化のためである。各々の原厚は 極7,107及び蓄積容量の他方の電極11を形成す n+ a-Si:H層もエッチングする。これは、セル →SiとAIの反応を防止するためのパッファ驅であ フアライン工程となる。 【0015】 ひぎにソース種栖6,106とドワイン属 - ン化されたソースおよびドレイン電極をマスクとして 100 nm, 300 nmである。CrとA1の二層原 、いの後、パターコングして形成される。なお、パタ

**ずスイッチング用TFTの良好な動作が可能になる。 わち、この遮光順によって、明状態や暗状態にかかわら** A1の600nmを用いて遮光膜10を形成する。すな TFTの上方にはソース・ドレイン電極と重量するように センサ用TFTの保護側 9 を設け、次にスイッチング用 VDによるSiNを用いてスイッチング用TFT及び光 【0016】この後、チャネル保護膜としてプラズマC

が図5に示したものの2倍程度厚いので、ゲート電界が を示したものである。この光センサは、ゲート絶縁順厚 ドワイン韓圧を10Vに固定した場合の韓統一韓圧鈴性 【0017】図2は本実施例による光センサ用TFTの

> く、明暗比が改善されている。 なっている。一方、暗電流の変化はこれに比べて小さ

のもう一方の蝸子に接続されて接地されている。またゲ は、ゲート端子が垂直走査線に接続され、ドレイン端子 電圧範囲 (例えばー3 V以下) のある電圧Vssに固定 一ト燐子は、図2に示されるように明暗比の確保できる 積容量の一方の端子に接続され、ソース端子は蓄積容量 用TFT,スイッチング用TFT及び蓄積容量から成 のの箏価回路である。各画素は、上述のように光センサ 線はスイッチング用TFTのゲート電極と同時に形成さ 走査線及び搭積容量の一方の蝸子はスイッチング用TF が水平走査線に接続されている。またソース端子は、光 される。スイッチング用TFTの三つの靏子について 4。光カン中田の川しの森中の心も、ドフイン森中は糖 れる。各水平走査様は、水平走査回路に接続され、また Tのソース、ドレイン電極と同時に形成され、垂直走査 センサ用TFTのドレイン端子に接続されている。 水平 【0018】図3は薄膜光センサを2次元に配列した!

【0019】この2次元禕膜光センサの駆動は、次の通

0 ① まず最初に、垂直走査線G1に接続された全てのス この走査により各画県の蓄積容量が充電される。 イッチングTFTを所定時間t」だけオン状態にする。 次に、時間 t j の間に各水平走査線D1~Dmを通

水平走査線毎に順次読み出す(すなわち、水平走査線ー に連なる画業の充電電荷景を同時に読み出す方法があ 本あたりの読み出し時間は (1 /m秒) 方法と、各水平 場合の電荷量の読み出し方は、時間t<sub>1</sub>をm分割して各 る。本発明による光センサでは、いずれの方式も可能で 走査線の読み出しに時間 t ] を充てて、垂直走査線G 1

てのスイッチングTFTを所定時間 6.1 だけオン状態に 【0020】① 次段の垂直走査線G2に接続された全

み出しが完了する。画面一枚あたりの読み出し時間はn 同様に上記①~②を、垂直走査線Gnまで行い、熱

る。この放電電荷量は、光センサに入射する光の量によ 光センサ用TFTが蓄積容量に保持された電荷を放電す 後、次にオン状態になるまでの (n-1)×t] 秒間に て、例えば、垂直走査線G1に接続された画景に着目し って決まる。これが画像語み取り動作である。 て説明する。②でスイッチングTFTをオフ状態にした

小さくなり、特に明電流が抑制されずに 1 桁程度大きく

各垂直走査線は垂直走査回路に接続されている。

は、イメージの明暗に対応してその大小が異なる。この じて、上記充電電荷景が読み出される。この充電電荷景

③ 垂直走査線G1に接続された全てのスイッチングT FTをオフ状態にする。

し、上記②と同じ操作を行う。

【0021】さて、光センサによる画像読み取りについ

 $\widehat{\Xi}$ 

限らずAIやTaであってもよいし、ゲート絶縁順はS 記実施例に限定されない。例えば、ゲート就極はCrに せることが可能な構造である。この意味で、本発明は上 は、非晶質シリコンに限らず多結晶シリコンであっても れらの組合せであってもよい。またTFTの半導体材料 i NやS i O2 に限らずA I 2O3やT a 2O5あるいはこ **最を用いたTFT型光センサにおいて、明電流を向上さ** 【0022】以上説明してきたように、本発明は蓄積容

## [0023]

の高精細化を実現することができる。 スイッチング用TFTのゲート電極を別の工程で形成す 電流を実現できる。またその際、光センサ用のTFTと T型光センサにおいて光センサ用TFTのゲート絶縁順厚 はない。従って、画素における素子形状の小型化,画素 同程度に保たれ、スイッチング速度の低下は生じるこ。 るのでスイッチング用TFTのゲート絶縁膜厚は従来と れる光電流を抑える効果を低減し、従来よりも大きな明 を厚くすることにより、負のゲート電界がチャネルを描 【発明の効果】本発明によれば、蓄積容量を用いたTF

【図1】本発明の実施所の説明図

【図2】本発明による光センサ用TFTの電航一電圧特

【図3】本発明による2次元禕標光センサの等価回路

【図4】従来技術によるTFT型光センサの断面図。

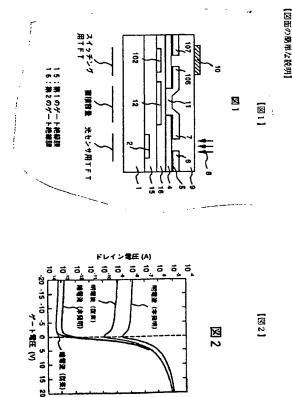
【図5】従来技術によるTFT型光センサの電流一電圧

【四7】図6の等価回路図。 【図6】従来技術による掃膜光センサの断面傳造図。

【図9】ホトダイオードを用いた従来技術によるセンサ 【図8】従来技術による局易型薄膜光センキの類面図。

【作号の説明】

保護順、10…遮光順、11,12…蓄積容量用電板 ス低隔、7, 107…ドライン低極、8…入射光、9: シリロン、5…n型非晶質シリロン、6, 106…メー 15…第1のゲート絶縁膜、16…第2のゲート絶縁 1…ガラス基板、2, 102…ゲート戦極、4…非晶質



特刚平5-243547

(2)

9

THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPY